

CLIPPEDIMAGE= JP401112780A  
PAT-NO: JP401112780A  
DOCUMENT-IDENTIFIER: JP 01112780 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: May 1, 1989

INVENTOR-INFORMATION:  
NAME  
OCHIAI, JUNICHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP62269207  
APPL-DATE: October 27, 1987

INT-CL\_(IPC): H01L029/91; H01L021/225 ; H01L029/46  
US-CL-CURRENT: 438/FOR.415,438/504

**ABSTRACT:**

**PURPOSE:** To reduce remarkably an area occupied by a junction diode, by leading out electrodes in the first and second diffusion regions through the first polycrystalline silicon layer that is an impurity diffusing source as well and polycrystalline silicon side walls as well as the second polycrystal silicon layer that is connected to the above side walls.

**CONSTITUTION:** After depositing an oxide film 22 on a P-type silicon substrate a to form an opening 23, the first polysilicon layer 24 is deposited on the above opening. After that, impurities are introduced from the opening 23 to form an N-type diffusion region 26. Then, the second polysilicon layer 28 is formed on the first polysilicon layer 24 through the oxide film 25. After that, the first and second polysilicon layers 24 and 28 are removed through etching by half approximately and a part of the surface of the N-type diffusion layer 26 is exposed to the outside. Then polysilicon side walls 39 are formed at the side face of the exposed side wall at the second polysilicon layer 28. The side walls 33 make the second polysilicon layer 28 connect to the exposed surface of the N-type diffusion region 26. Subsequently, P-type impurities are diffused by treating with heat from the side walls 33 to a part in the diffusion region 26 and the P-type diffusion region 34 is formed to complete a junction diode.

**COPYRIGHT:** (C)1989,JPO&Japio

## ⑫ 公開特許公報(A)

平1-112780

⑤ Int. Cl.<sup>4</sup>H 01 L 29/91  
21/225  
29/46

識別記号

庁内整理番号

A-7638-5F  
P-7738-5F  
A-7638-5F

④ 公開 平成1年(1989)5月1日

審査請求 未請求 発明の数 1 (全6頁)

④ 発明の名称 半導体素子の製造方法

② 特 願 昭62-269207

② 出 願 昭62(1987)10月27日

⑦ 発 明 者 落 合 淳 一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑦ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑦ 代 理 人 弁理士 菊 池 弘

## 明 細 書

## 1. 発明の名称

半導体素子の製造方法

## 2. 特許請求の範囲

(a)一導電型半導体基板の表面に第1絶縁膜を被着し、第1開口部を形成した後、全面に第1多結晶シリコン層を被着し、これに逆導電型不純物を導入する工程と、

(b)次に、熱酸化により第1多結晶シリコン層表面に第2絶縁膜を形成すると同時に、第1多結晶シリコン層からの前記第1開口部を通しての不純物拡散により半導体基板に逆導電型の第1拡散領域を形成する工程と、

(c)その後、第1拡散領域上を十分に覆い、かつ周辺の平面上に延在するような第1領域以外の第2絶縁膜および第1多結晶シリコン層を順次除去する工程と、

(d)次いで、全面に第2多結晶シリコン層を被着し、一導電型不純物を導入した後、第2多結晶シリコン層表面に第3絶縁膜を被着する工程と、

(e)次に、前記第1拡散領域上を十分に覆い、かつ周辺の平面上に延在するような第2領域以外の第3絶縁膜および第2多結晶シリコン層を順次除去する工程と、

(f)その後、第1拡散領域部の一部を含む領域から第3絶縁膜、第2多結晶シリコン層および第2絶縁膜を順次除去する工程と、

(g)それにより露出した第1多結晶シリコン層を除去し、第1拡散領域の表面の一部を露出させる工程と、

(h)その後、第1多結晶シリコン層の露出側壁を絶縁膜のサイドウォールで覆う工程と、

(i)その後、全面に第3多結晶シリコン層を生成し、一導電型不純物を導入した後、該第3多結晶シリコン層を全面異方性エッチングすることにより、第2多結晶シリコン層側壁および前記絶縁膜サイドウォール側面に、前記第2多結晶シリコン層を第1拡散領域の露出表面に接続する多結晶シリコンサイドウォールを形成する工程と、

(j)続いて熱処理を行うことにより、前記多結晶

シリコンサイドウォールからの不純物拡散により第1拡散領域内に一導電型の第2拡散領域を形成する工程とを具備することを特徴とする半導体素子の製造方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

この発明は半導体素子の製造方法に係り、詳しくは半導体基板上に接合ダイオードを形成する方法に関するものである。

#### (従来の技術)

半導体基板にP、N両拡散領域を形成し、このP、N両拡散領域から電極を引き出した接合ダイオードを製造するには、従来第3図に示すようにして行っている。

まず第3図(a)に示すように、例えばP型のシリコン半導体基板1の表面に酸化膜2を生成し、N型拡散領域形成用開口部3を形成した後、該開口部3を通してN型不純物を基板1にドーピングすることにより、該基板1中にN型拡散領域4を形成する。

#### (発明が解決しようとする問題点)

上記のように従来の製造方法では、接合ダイオードは長手方向で8 $\mu$ m必要であり、幅5 $\mu$ m( $W_1 + W_2 \times 2 + W_3 + 2$ )とすれば、トータル面積は $8 \times 5 = 40 \mu\text{m}^2$ を要しており、高集積化には不向きである。

この発明は上記の点に鑑みなされたもので、最小開口面積や各部間の余裕はすべて従来通りで接合ダイオードの占有面積を約1/5程度にまで縮小できる半導体素子の製造方法を提供することを目的とする。

#### (問題点を解決するための手段)

この発明では、一導電型半導体基板の表面に第1絶縁膜を被着し、第1開口部を形成した後、全面に第1多結晶シリコン層を被着し、これに逆導電型の不純物を導入した後、熱酸化により第1多結晶シリコン層表面に第2絶縁膜を形成すると同時に、第1多結晶シリコン層からの前記第1開口部を通しての不純物拡散により半導体基板に逆導電型の第1拡散領域を形成し、その後、第1拡散

次に、第3図(b)に示すように、基板1表面の酸化膜5に、N型拡散領域4上の一部にてP型拡散領域形成用の開口部6を開けた後、該開口部6を通してP型不純物をドーピングすることにより、N型拡散領域4内にP型拡散領域7を形成する。

その後、第1図(c)に示すように、基板1表面の酸化膜8に、N型拡散領域4およびP型拡散領域7各々の電極取出し口9を開口し、電極10を形成することにより接合ダイオードが完成する。

このようにして形成された接合ダイオードの平面図を第4図に示す。この図において、パターン最小寸法の電極取出し口9の幅 $W_1$ を1 $\mu$ m、拡散領域内電極取出し口内在余裕 $W_2$ を1 $\mu$ m(設計余裕0.5 $\mu$ m+フォトマスク合わせ余裕0.5 $\mu$ m)、N型拡散領域内P型拡散領域内在余裕 $W_3$ を1 $\mu$ m(設計余裕0.5 $\mu$ m+フォトマスク合わせ余裕0.5 $\mu$ m)、電極取出し口9への電極かぶり余裕 $W_4$ を1 $\mu$ m(設計余裕0.5 $\mu$ m+フォトマスク合わせ余裕0.5 $\mu$ m)、電極間間隔 $W_5$ を1 $\mu$ mとすれば、この接合ダイオードは長手方向で8 $\mu$ m必要である。

領域上を十分に覆い且つ周辺の平面上に延在するような第1領域以外の第2絶縁膜および第1多結晶シリコン層を順次除去した上で、全面に第2多結晶シリコン層を被着し、一導電型不純物を導入し、さらに第2多結晶シリコン層表面に第3絶縁膜を被着し、次いで、前記第1拡散領域上を十分に覆い、かつ周辺の平面上に延在するような第2領域以外の第3絶縁膜および第2多結晶シリコン層を順次除去した後、第1拡散領域部の一部を含む領域から第3絶縁膜、第2多結晶シリコン層および第2絶縁膜を順次除去し、それにより露出した第1多結晶シリコン層を除去し、第1拡散領域の表面の一部を露出させ、その後、第1多結晶シリコン層の露出側壁を絶縁膜のサイドウォールで覆った後、全面に第3多結晶シリコン層を生成し、一導電型不純物を導入し、その後、第3多結晶シリコン層を全面異方性エッチングすることにより、第2多結晶シリコン層側壁および前記絶縁膜サイドウォール側面に、前記第2多結晶シリコン層を第1拡散領域の露出表面に接続する多結晶シリコ

ンサイドウオールを形成し、続いて熱処理を行うことにより、前記多結晶シリコンサイドウオールからの不純物拡散により第1拡散領域内に一導電型の第2拡散領域を形成する。

(作用)

このようにして製造された素子(接合ダイオード)は、不純物拡散源でもある第1多結晶シリコン層および多結晶シリコンサイドウオール、ならびに該サイドウオールに接続される第2多結晶シリコン層を経て第1拡散領域および第2拡散領域の電極が引出される。そして、この素子は上記製法とすることにより、例えば総面積 $3 \times 2 = 6 \mu\text{m}^2$ で形成される。

(実施例)

以下この発明の一実施例を第1図を参照して説明する。

まず第1図(a)に示すように、例えばP型のシリコン半導体基板21の表面に $\sim 500 \text{Å}$ 厚の酸化膜22を被着させ、これにN型拡散領域形成用の開口部23を形成した後、全面に第1ポリシリコン層24

シリコン層28を前記第1図(b)に示すように第2ポリシリコン配線領域以外順次除去する。ここで、第2ポリシリコン配線領域は、前記第1ポリシリコン配線領域と同様に、N型拡散領域26上を十分に覆い、かつ周辺の平面上に延在するように設計されている。その部分の酸化膜29と第2ポリシリコン層28が第1図(b)に示すように残るのである。

次に、第1図(c)に示すように、N型拡散領域部の一部を含む領域から酸化膜29、第2ポリシリコン層28および酸化膜25をレジストパターン30をマスクとしてRIEエッチング法にて順次除去する。

その後、レジストパターン30を除去した上で全面に窒化膜を約 $2000 \text{Å}$ 被着させ、その窒化膜を全面RIEエッチングにて除去することにより、第1図(d)に示すように第2ポリシリコン層28の露出側壁に窒化膜サイドウオール31を形成する。そして、その窒化膜サイドウオール31と酸化膜29、25をマスクとして、前記第1図(c)のエツ

を約 $4000 \text{Å}$ 被着形成する。そして、この第1ポリシリコン層24に、 $\text{POCl}_3$ 拡散などの熱拡散法あるいはイオン注入法( $1 \times 10^{16} \text{ atoms/cm}^2$ )でリンや砒素などのN型不純物を導入した後、熱酸化を行うことにより、該第1ポリシリコン層24の表面に酸化膜25を形成すると同時に、該第1ポリシリコン層24からの開口部23を通しての不純物拡散によりN型拡散領域26を基板21内に形成する。

次に、N型拡散領域26上を十分に覆い、かつ周辺の平面上に延在するような第1ポリシリコン配線領域以外の前記酸化膜25および第1ポリシリコン層24を第1図(b)に示すように順次除去し、その後熱酸化することによつて第1ポリシリコン層24の露出側壁に酸化膜27を形成する。その後、全面に第2ポリシリコン層28を約 $4000 \text{Å}$ 被着させ、P型不純物例えばボロンなどをイオン注入法で $1 \times 10^{16} \text{ atoms/cm}^2$ 程度導入した後、該第2ポリシリコン層28表面に $\sim 3000 \text{Å}$ 厚の酸化膜29を形成する。そして、この酸化膜29と第2ポリ

シリコン層28を前記第1図(b)に示すように第2ポリシリコン配線領域以外順次除去する。ここで、第2ポリシリコン配線領域は、前記第1ポリシリコン配線領域と同様に、N型拡散領域26上を十分に覆い、かつ周辺の平面上に延在するように設計されている。その部分の酸化膜29と第2ポリシリコン層28が第1図(b)に示すように残るのである。

引き続き熱酸化を行つて第1ポリシリコン層24が露出した部分と前記N型拡散領域26の露出表面に酸化膜を形成した後、該酸化膜の全面RIEエッチングを行うことにより、第1図(e)に示すように第1ポリシリコン層24の側壁に酸化膜サイドウオール32を形成し、同時にN型拡散領域26の表面の一部を再度露出させる。その後、同第1図(e)に示すように第2ポリシリコン層28側壁の窒化膜サイドウオール31を通常の窒化膜エッチング法で選択的に除去し、第2ポリシリコン層28の側壁を露出させる。

その後、全面に第3ポリシリコン層を約 $5000 \text{Å}$ 被着させ、これにP型不純物例えばボロンをイオン注入で $1 \times 10^{16} \text{ atoms/cm}^2$ 程度導入し、必要によりアニールを行つた後、該第3ポリシリコン層の全面RIEエッチングを行うことにより、第1図

(f)に示すように第2ポリシリコン層28の露出側壁および酸化膜サイドウォール32の側面にポリシリコンサイドウォール33を形成する。このポリシリコンサイドウォール33により、N型拡散領域部においては、第2ポリシリコン層28がN型拡散領域26の露出表面に接続される。

その後、熱処理を行う。すると、ポリシリコンサイドウォール33からP型不純物がN型拡散領域26内の一部に拡散し、前記第1図(f)に示すようにN型拡散領域26の一部にP型拡散領域34が形成され、接合ダイオードが完成する。

この接合ダイオードにおいては、第1ポリシリコン層24、およびポリシリコンサイドウォール33と第2ポリシリコン層28によりN型拡散領域26とP型拡散領域34の電極が引出される。

また、この接合ダイオードの平面図を第2図に示す。この図において、N型拡散領域内第1ポリシリコン層オーバーラップ分をW1として1 $\mu$ m(設計余裕0.5 $\mu$ m+フォトマスク合わせ余裕0.5 $\mu$ m)、N型拡散領域内第1ポリシリコン層以外の

残り余裕をW2として1 $\mu$ m(設計余裕0.5 $\mu$ m+フォトマスク合わせ余裕0.5 $\mu$ m)、N型拡散領域内への第1/第2ポリシリコン層かぶり余裕をW3として0.5 $\mu$ m(オンラインでも問題ないため、フォトマスク合わせ余裕のみ)、ポリシリコンサイドウォール形成幅をW4として0.5 $\mu$ m(第3ポリシリコン層の生成膜厚による)とすれば、この接合ダイオードは長手方向の寸法は $W1+W2+W3+W4=3\mu$ mであり、幅を2 $\mu$ m(N型拡散領域幅:1 $\mu$ m+W3 $\times$ 2)とすれば、総面積は $3\times 2=6\mu$ m<sup>2</sup>となる。すなわち、この接合ダイオードは総面積が従来の1/5以下となる。

(発明の効果)

以上説明したように、この発明の製造方法によれば、従来総面積で40 $\mu$ m<sup>2</sup>要していたのが6 $\mu$ m<sup>2</sup>(従来の1/5以下)まで縮小可能となり、高集積化に大きく貢献するとともに、縮小化に伴う接合容量に関しても大幅に低減し、性能向上に寄与するところも大きい。更に付随して以下のような効果が期待される。

(1) 拡散領域形成はドーパドポリシリコン法によつて、拡散領域と電極を同時に形成するため、アルミ電極などの場合問題となるアルミ拡散による接合耐圧の劣化や接合リークの発生の心配がない。

(2) 第1多結晶シリコン層および第2多結晶シリコン層を配線として用いることで、実質多結晶シリコンの2層配線構造となり、配線の自由度が増す。

#### 4. 図面の簡単な説明

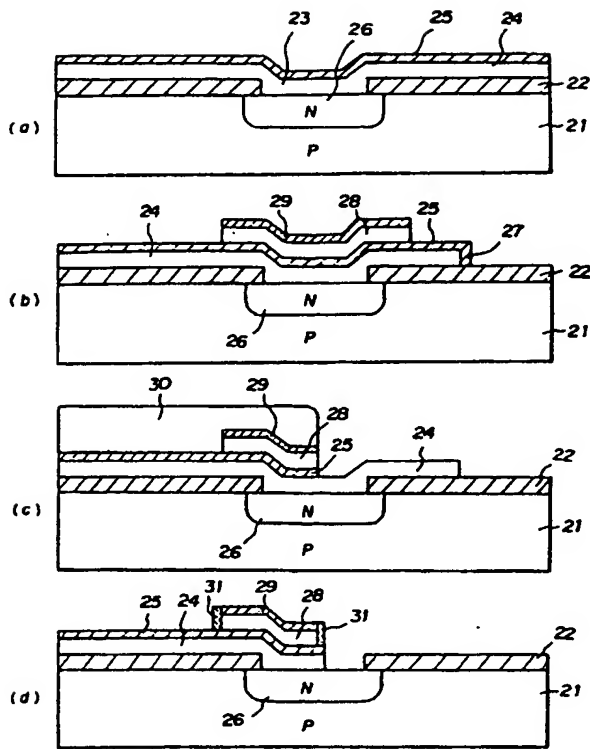
第1図はこの発明の半導体素子の製造方法の一実施例を示す工程断面図、第2図は上記一実施例で製造された接合ダイオードの平面図、第3図は従来の接合ダイオードの製造方法を示す工程断面図、第4図は従来法で製造された接合ダイオードの平面図である。

21…P型シリコン半導体基板、22…酸化膜、23…開口部、24…第1ポリシリコン層、25…酸化膜、26…N型拡散領域、28…第2ポリシリコン層、29…酸化膜、32…酸化膜サイド

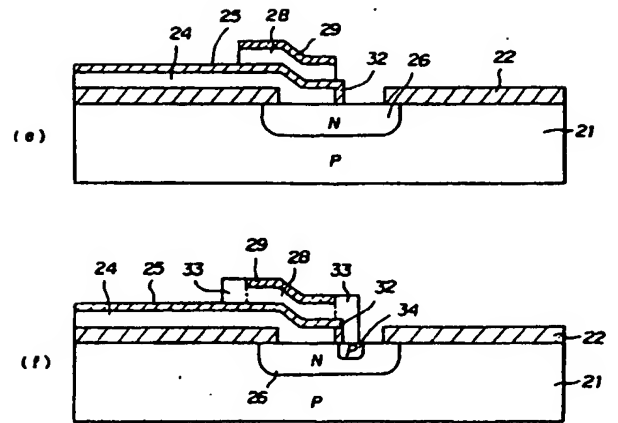
ウォール、33…ポリシリコンサイドウォール、34…P型拡散領域。

特許出願人 沖電気工業株式会社  
代理人 弁理士 菊池 弘



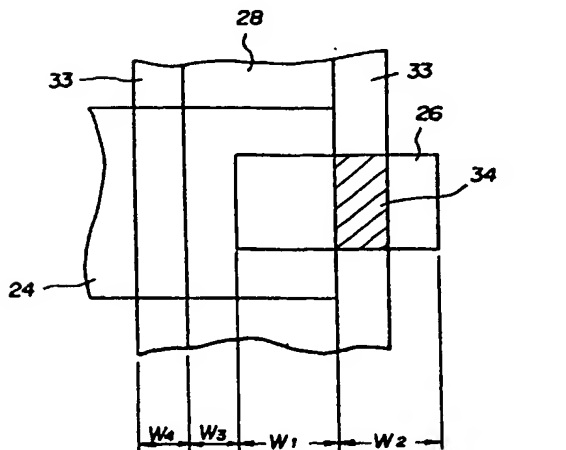


本発明-実施例の製造工程断面図  
第1図



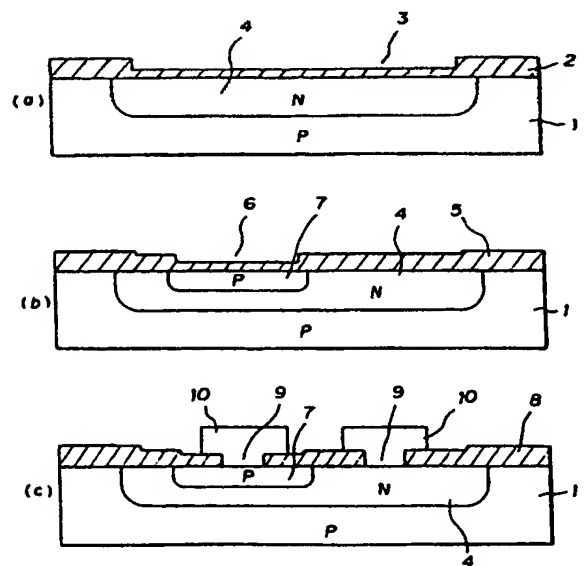
- |               |               |
|---------------|---------------|
| 21: P型シリコン基板  | 28: 第2ポリシリコン層 |
| 22: 酸化膜       | 29: 酸化膜       |
| 23: 開口部       | 30: レジストパターン  |
| 24: 第1ポリシリコン層 | 31: 酸化膜パッド    |
| 25: 酸化膜       | 32: 酸化膜パッド    |
| 26: N型拡散領域    | 33: ポリシリコンパッド |
| 27: 酸化膜       | 34: P型拡散領域    |

本発明-実施例の製造工程断面図  
第1図

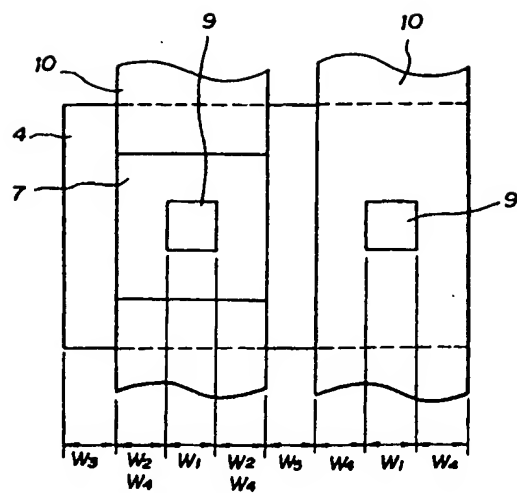


- |               |               |
|---------------|---------------|
| 24: 第1ポリシリコン層 | 33: ポリシリコンパッド |
| 26: N型拡散領域    | 34: P型拡散領域    |
| 28: 第2ポリシリコン層 |               |

本発明-実施例の底面パッドの平面図  
第2図



従来方法の製造工程断面図  
第3図



従来方法による符合ダイオードの平面図

第 4 図